

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-358570

(P2001-358570A)

(43) 公開日 平成13年12月26日 (2001. 12. 26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 3 K 17/16		H 0 3 K 17/16	L 5 J 0 5 5
17/687		17/687	F 5 J 0 5 6
19/0175		19/00	1 0 1 F

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願2000-175667(P2000-175667)

(22) 出願日 平成12年 6 月12日 (2000. 6. 12)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田 1 番 1 号

(72) 発明者 川村 一裕

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

(74) 代理人 100088339

弁理士 篠部 正治

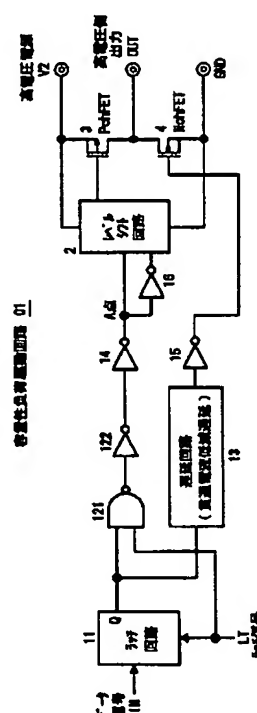
最終頁に続く

(54) 【発明の名称】 容量性負荷駆動回路

(57) 【要約】

【課題】ビット別のデータ信号 I N の H 又は L に応じ、高電圧電源 V 2 に接続された相補型 F E T 3, 4 の相互接続点としてのビット別の高電圧側出力 O U T を、F E T 4 をオフ後 F E T 3 をオンすることで H、又は F E T 3 をオフ後 F E T 4 をオンすることで L とし、図外の容量性負荷を駆動する回路 0 1 にて、負荷電流による回路損失抑制上、出力 O U T が H → L に下降するビットの下降タイミングより、L → H に上昇するビットの上昇タイミングを、I C の回路規模を増大させずに大きく遅延してタイミングの重なりを防ぐ。

【解決手段】高電圧側出力 O U T を L → H に上昇する場合、ラッチ信号 L T のパルス前端の立下がり でラッチ出力 Q を H とし F E T 4 を先ずオフする。ラッチ信号 L T が L のパルス幅期間を経てパルス後端で H に立上ると、NAND 回路 1 2 1 の出力が L となり F E T 3 をオンするので、遅延時間をラッチ信号 L T のパルス幅で調整できる。



## 【特許請求の範囲】

【請求項1】所定の低電圧の電源および該低電圧より高い所定の高電圧の電源からの1または複数の共通電位側の電源端子と、

前記低電圧電源および高電圧電源からのそれぞれ非共通電位側の電源端子としての低電圧電源端子および高電圧電源端子とを持ち、

前記の高電圧電源端子と該高電圧電源端子に対応し得る共通電位側電源端子との間に、第1及び第2の出力トランジスタの対の直列接続を、第1の出力トランジスタが高電圧電源端子側となるように、且つ対の第1及び第2の出力トランジスタの相互の接続点がビット別出力端子となつて、それぞれ外部の容量性負荷に接続されるように複数対備え、さらに、

前記ビット別出力端子にそれぞれ対応し、前記低電圧電源によって生成されたビット信号が入力されるビット別入力端子と、

所定周期で出力される所定のパルス幅のラッチ信号を入力する端子と、

前記ビット別入力端子毎に設けられ、当該ビット別入力端子に入力されるビット信号を前記ラッチ信号のパルス

の前端でラッチするラッチ回路と、  
該ラッチ回路毎に設けられ、当該ラッチ回路のラッチ出力値が反転する毎に、対応する前記ビット別出力端子の出力値が反転後のラッチ出力値に対応した値となるように、対応する前記第2の出力トランジスタをオフしたうえ、同じく対応する前記第1の出力トランジスタをオンする第1の駆動モード、または、対応する前記第1の出力トランジスタをオフしたうえ、同じく対応する前記第2の出力トランジスタをオンする第2の駆動モードの動作をそれぞれ行わせ、

その際、第1の駆動モードに関わるビット別出力端子の電位が安定したのちに、第2の駆動モードに関わるビット別出力端子の電位変化が開始されるように、または、第2の駆動モードに関わるビット別出力端子の電位が安定したのちに、第1の駆動モードに関わるビット別出力端子の電位変化が開始されるようにする出力トランジスタ駆動手段とを備えた容量性負荷駆動回路であつて、前記出力トランジスタ駆動手段が、前記第1、第2の駆動モードのうちビット別出力端子の電位変化が後続側となる駆動モードに関わる出力トランジスタのオン駆動の開始を、前記ラッチ信号のパルスの後端で行わせる遅延手段を備えたことを特徴とする容量性負荷駆動回路。

【請求項2】請求項1に記載の容量性負荷駆動回路において、

前記遅延手段が前記ラッチ回路のラッチ出力およびラッチ信号を入力とする論理ゲート回路を備えたものであることを特徴とする容量性負荷駆動回路。

【請求項3】請求項1または2に記載の容量性負荷駆動回路において、半導体集積回路の少なくとも一部を構成

することを特徴とする容量性負荷駆動回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、低電圧の電源で生成された複数ビットのデータ信号を入力し、入力ビット別に設けられたレベルシフト回路等を介し、それぞれ相補接続された出力トランジスタを駆動し、比較的高い電圧の電源を用いたビット別のH、Lの駆動信号として出力する半導体集積回路であつて、特に例えばプラズマディスプレイ、蛍光表示管、ELディスプレイ等の発光素子のような当該負荷自体が容量性であると同時に、隣接ビットの負荷との間にも結合容量を持つような容量性負荷を駆動（従って当該負荷を充放電）する回路としての容量性負荷駆動回路に関する。なお以下各図において同一の符号は同一もしくは相当部分を示す。

## 【0002】

【従来の技術】図3は半導体集積回路を構成する、この種の容量性負荷駆動回路の隣接2ビット部分の、負荷側を含めた概略の構成例を示す。同図において、01（01j, 01k）は隣接するjビット目及びkビット目の駆動回路、IN（INj, INk）は図外のシフトレジスタなどから出力され、それぞれ各駆動回路01j, 01kへの入力となるデータ信号、OUTjとOUTkはそれぞれ各駆動回路01j, 01kの出力である高電圧側出力、CjとCkはそれぞれ高電圧側出力OUTjとOUTkに接続された負荷（例えばプラズマディスプレイ等の発光素子）自体が持つ容量、Cjkは隣接する高電圧側出力OUTjとOUTkとの負荷相互間に存在する容量である。

【0003】なお、Cijは高電圧側出力OUTjと図外の下位側に隣接する高電圧側出力OUTiとの負荷相互間に存在する容量とし、Cklは同じく高電圧側出力OUTkと図外の上位側に隣接する高電圧側出力OUTlとの負荷相互間に存在する容量とする。各駆動回路01jまたは01kにおいて、V1は例えば数Vの低電圧電源、V2は例えば数10Vの高電圧電源で、この両電源V1, V2はグランドGNDを共通の電位としている。なお通常、グランドGNDの端子は半導体集積回路内でのノイズ干渉を防ぐために、高電圧電源V2側と低電圧電源V1側と別個に設け、半導体集積回路の外部で電位を共通とする相互接続が行われるが、この別個のグランドGNDの端子を共通とすることも不可能ではない。

【0004】1は低電圧電源V1の下で動作する低電圧制御回路で、データ信号INjまたはINkのH、Lに応じて、高電圧電源V2の下で動作するレベルシフト回路2を介しPchFET3を、また直接NchFET4をそれぞれ制御する。ここで、PchFET3とNchFET4は、その相互の接続点が高電圧側出力OUTjまたはOUTkとなるように高電圧電源V2とグランド

GND（但し図示のグランドGNDの端子は高電圧電源V2側として設けられている）の間に直列に、いわゆる相補型接続で設けられている。

【0005】本例では、データ信号IN<sub>j</sub>またはIN<sub>k</sub>がHのときはPchFET3はオン、NchFET4をオフにそれぞれ制御され、高電圧側出力OUT<sub>j</sub>またはOUT<sub>k</sub>はHに駆動される。他方、データ信号IN<sub>j</sub>またはIN<sub>k</sub>がLのときはPchFET3はオフ、NchFET4はオンにそれぞれ制御され、高電圧側出力OUT<sub>j</sub>またはOUT<sub>k</sub>はLに駆動される。

【0006】図4は1ビット分の容量性負荷駆動回路01の詳細構成の例を示す。同図において、11～16の各手段は図3の低電圧制御回路1を構成しており、11はラッチ回路、12、13は遅延回路、14～16はNOT回路である。本例ではラッチ回路11は、所定周期のパルスとして入力されるラッチ信号LTのパルス前端的の立下がり毎に、データ信号INと同じHまたはLの信号をラッチして出力端子Qに出力するものとし、またレベルシフト回路2はA点の入力信号をレベルシフトし、A点のH、Lレベルにそれぞれ応じたH、Lレベルの信号をPchFET3のゲート電位として出力するものとする。

【0007】従って定常動作としては、データ信号INがHの時は、ラッチ出力QはH、よってA点電位は遅延回路12およびNOT回路14を介してL、従ってPchFET3のゲート電位はLとなってPchFET3がオンする。このとき、NchFET4のゲート電位は遅延回路13およびNOT回路15を介してLとなり、NchFET4がオフするので、高電圧側出力OUTはHとなる。

【0008】逆に、データ信号INがLの時は、PchFET3のゲート電位はHとなってPchFET3がオフする一方、NchFET4のゲート電位はHとなり、NchFET4がオンするので高電圧側出力OUTはLとなる。図5はラッチ信号LTのパルス入力時点付近における図4の動作を拡大して示す動作タイミング図である。次に図4を参照しつつ図5により、データ信号INのH、Lの切換わり時の動作を述べる。

【0009】従来はデータ信号IN、従って出力OUTがHからLになる場合は、図5a)のようにPchFET3が十分オフしてからNchFET4をオンさせて、FET3から4へ流れる貫通電流を低減させ、逆にデータ信号IN、従って出力OUTがLからHになる場合は、図5b)のようにNchFET4が十分オフしてから、PchFET3をオンさせて貫通電流を低減させている。

【0010】即ち、ラッチ回路11へのラッチ信号LTが、時点t1においてHからLに立下がると、ラッチ回路11はデータ信号INのHまたはLをラッチし、ラッチ回路11の出力QはそれぞれHまたはLとなる。そし

て図5a)のようにラッチ回路出力QがHからLになるビットの場合は、ラッチ信号LTが時点t1でLに立下がるとPchFET3は或る短い伝達遅延時間T<sub>PI</sub>だけ遅れてオフする。この遅延時間T<sub>PI</sub>はレベルシフト回路2の遅延時間及びPchFET3のゲート容量充電時間が大半で、遅延回路12の遅延時間は極力小さくするようにし、PchFET3がなるべく速くオフするようにしている。

【0011】一方、NchFET4は貫通電流を低減するための遅延回路13により時点t1から遅延時間T<sub>NDL</sub>だけ遅れてオンするようにし、このうち高電圧側出力OUTは下降時間t<sub>f</sub>をかけてHからLに推移する。逆に図5b)のようにラッチ回路出力QがLからHになるビットの場合は、ラッチ信号LTが時点t1でLに立下がるとPchFET3はオンしなければならないが、貫通電流低減のため予めNchFET4をオフする必要がある。

【0012】このNchFET4のオフのタイミングでは遅延回路13の遅延時間は極力小さくするようにして、NchFET4は時点t1から或る短い遅延時間T<sub>NI</sub>だけ遅れてオフするが、一方、PchFET3は遅延回路12を介して時点t1から遅延時間T<sub>PDL</sub>だけ遅れてオンさせる。ここで注意すべき点は、図5b)に示す高電圧側出力OUTがLからHに上昇するタイミングは、図5a)に示す高電圧側出力OUTがHからLに下降するタイミングより遅くしていることである。これは、図3のように、高電圧側出力OUTの隣接するビット相互間に容量が存在する場合、一方の出力OUTがLでその隣の出力OUTがHの状態から、それぞれ同時に反転する時、そのタイミングが同時であると、タイミングがずれている場合より容量性負荷駆動回路01の消費電流が大きくなるからである。このため図5の例では、高電圧側出力OUTがLからHになるビットのPchFET3は、HからLになるビットの高電圧側出力OUTがLレベルになりきるまで、オン駆動するまでの遅延時間T<sub>PDL</sub>を長くしている。

【0013】

【発明が解決しようとする課題】上述のように容量性負荷駆動回路01では高電圧側出力OUTのH、Lレベルを切り替える場合、PchFET3については、貫通電流を低減させる遅延制御に加え、高電圧側出力OUTがHからLに上昇するタイミングとLからHに下降するタイミングが重なることを防ぐためにさらなる遅延が必要となる。

【0014】つまり、図5におけるPchFET3がオンするまでの遅延時間T<sub>PDL</sub>は、少なくとも高電圧側出力OUTがHからLになるタイミングでの遅延時間T<sub>NDL</sub>と高電圧側出力OUTの下降時間t<sub>f</sub>とを加算した時間分遅らせる必要がある。しかし、特に微細加工ルールを適用して製作される半導体集積回路の場合、長い遅

延時間を作りだすことは信号の伝達スピードが速いために回路規模の増大を伴い、バラツキ、温度依存性も考慮すると回路規模はさらに大きくなる可能性もある。

【0015】しかも、高電圧側出力OUTに接続される負荷容量が変わると、出力OUTがHからLに変化する時間は、特に下降時間 $t_f$ の変化によって大きく変化するため、PchFET3がオンするまでの設定(設計)した遅延時間 $T_{PDL}$ とのタイミングがずれ、場合によっては高電圧側出力OUTがHからLになるビットとLからHになるビットとの出力反転のタイミングが重なる可能性もある。

【0016】そこで本発明は、半導体集積回路の回路規模を増大させることなく、高電圧側出力OUTに接続される負荷容量が変わっても、互いに逆方向に高電圧側出力OUTが反転するビット相互の反転のタイミングの重なりを防ぐことができる容量性負荷駆動回路を提供することを課題とする。

【0017】

【課題を解決するための手段】前記の課題を解決するために、請求項1の容量性負荷駆動回路は、所定の低電圧の電源(V1)および該低電圧より高い所定の高電圧の電源(V2)からの1または複数の共通電位(グランドGND)側の電源端子と、前記低電圧電源および高電圧電源からのそれぞれ非共通電位側の電源端子としての低圧電源端子および高圧電源端子とを持ち、前記の高圧電源端子と該高圧電源端子に対応し得る共通電位側電源端子との間に、第1(PchFET3など)及び第2の出力トランジスタ(NchFET4など)の対の直列接続を、第1の出力トランジスタが高圧電源端子側となるように、且つ対の第1及び第2の出力トランジスタの相互の接続点がビット別出力端子(高電圧側出力OUT)となつて、それぞれ外部の容量性負荷に接続されるように複数対備え、さらに、前記ビット別出力端子にそれぞれ対応し、前記低電圧電源によって生成されたビット信号(データ信号IN)が入力されるビット別入力端子と、所定周期で出力される所定のパルス幅( $T_w$ )のラッチ信号(LT)を入力する端子と、前記ビット別入力端子毎に設けられ、当該ビット別入力端子に入力されるビット信号を前記ラッチ信号のパルス(時点 $t_1$ )でラッチするラッチ回路(11)と、該ラッチ回路毎に設けられ、当該ラッチ回路のラッチ出力値(Q)が反転する毎に、対応する前記ビット別出力端子の出力値が反転後のラッチ出力値に対応した値となるように、対応する前記第2の出力トランジスタをオフしたうえ、同じく対応する前記第1の出力トランジスタをオンする第1の駆動モード、または、対応する前記第1の出力トランジスタをオフしたうえ、同じく対応する前記第2の出力トランジスタをオンする第2の駆動モードの動作をそれぞれ行わせ、その際、第1の駆動モードに関わるビット別出力端子の電位が安定したのちに、第2の駆動モードに関

わるビット別出力端子の電位変化が開始されるように、または、第2の駆動モードに関わるビット別出力端子の電位が安定したのちに、第1の駆動モードに関わるビット別出力端子の電位変化が開始されるようにする出力トランジスタ駆動手段(レベルシフト回路2、遅延回路13、NOT回路14~16など)とを備えた容量性負荷駆動回路であつて、前記出力トランジスタ駆動手段が、前記第1、第2の駆動モードのうちビット別出力端子の電位変化が後続側となる駆動モードに関わる出力トランジスタのオン駆動の開始を、前記ラッチ信号のパルスの後端(時点 $t_2$ )で行わせる遅延手段を備えたものとする。

【0018】また請求項2の容量性負荷駆動回路は、請求項1に記載の容量性負荷駆動回路において、前記遅延手段が前記ラッチ回路のラッチ出力およびラッチ信号を入力とする論理ゲート回路(NAND回路121、NOT回路122など)を備えたものであるようにする。

【0019】また請求項3の容量性負荷駆動回路は、請求項1または2に記載の容量性負荷駆動回路において、半導体集積回路の少なくとも一部を構成するものとする。即ち、本発明の作用は、H→LおよびL→Hと互いに逆方向に高電圧側出力OUTが反転するビット相互間における、高電圧側出力OUTの電位変化のタイミングの重なりを防ぐために必要な大きな遅延時間を、ラッチ信号の拡大したパルス幅によって得るものである。

【0020】

【発明の実施の形態】図1は本発明の1実施例としての容量性負荷駆動回路01の1ビット分の詳細構成を示す図で図4に対応し、図2は図1のラッチ信号LTのパルス入力時点付近の動作タイミング図で図5に対応するものである。図1においては図4の遅延回路12に代わり、ラッチ回路11の出力Qとラッチ信号LTとを入力とするNAND回路121と、このNAND回路121の出力を反転するNOT回路122とを用いている。

【0021】そして図2に示すように、本発明ではラッチ信号LTのパルス幅(L期間の長さ) $T_w$ を従来よりも長くすることによって、高電圧側出力OUTをLからHに反転する場合にPchFET3のオンを遅らせる前述の大きな遅延時間 $T_{PDL}$ を得るようにしている。次に動作タイミング図2により、図1におけるデータ信号INのH、Lの切り替わり時の動作を述べる。

【0022】図1においても、ラッチ回路11へのラッチ信号LTがHからLに立下がると、ラッチ回路11はデータ信号INのHまたはLをラッチし、ラッチ回路11の出力QはそれぞれHまたはLとなる。図2a)のように時点 $t_1$ においてラッチ回路出力QがHからLになるビットについての動作は図5a)とほぼ同じであり、ラッチ信号LTが時点 $t_1$ でLに立下がるとPchFET3は或る短い伝達遅延時間(レベルシフト回路2の遅延時間及びPchFET3のゲート容量充電時間が大

7

半)の $T_{P1}$ だけ遅れてオフする。

【0023】一方、 $NchFET4$ は貫通電流を低減するための遅延回路13により時点 $t_1$ から遅延時間 $T_{NDL}$ だけ遅れてオンし、こののち下降時間 $t_f$ を経て高電圧側出力 $OUT$ は $H$ から $L$ になる。この場合、時点 $t_2$ にラッチ信号 $LT$ が $H$ に戻っても、ラッチ回路出力 $Q$ が $L$ のままであることからこの状態は保持される。なお、ラッチ回路出力 $Q$ が時点 $t_1$ 以後も $H$ のままになるビットの場合、 $NchFET4$ はオフのままであるが、 $PchFET3$ はオンの状態から、ラッチ信号 $LT$ のパルス幅(1期間) $T_W$ に相当する時間だけ、一時的にオフ状態に駆動される。

【0024】しかしこのオフ状態においては、当該負荷端子(高電圧側出力 $OUT$ )から見た駆動回路01側は高インピーダンス状態に保たれることになり、且つこの期間 $T_W$ も200ns程度と極めて短いため、容量性負荷の放電による電圧変化は小さく、その影響は無視できる。次に図2b)のように時点 $t_1$ でラッチ回路出力 $Q$ が $L$ から $H$ になるビットでは、ラッチ信号 $LT$ が $L$ に立下がっている期間 $T_W$ の間は、ラッチ回路出力 $Q$ とは無関係にNAND回路121の出力は $H$ のまま、つまり $PchFET3$ をオフ駆動する方向にある。この場合 $PchFET3$ はラッチ信号 $LT$ が $L$ に立下がる時点 $t_1$ 以前もオフ状態なので、そのオフ状態を保持することになる。

【0025】一方、 $NchFET4$ については時点 $t_1$ でラッチ回路出力 $Q$ が $L$ から $H$ になることによって、遅延回路13の入力は $NchFET4$ をオフ駆動する信号に変わる。このタイミングでは図5b)の場合と同様、遅延回路13の遅延時間は極力小さくするようにしてあるため、 $NchFET4$ は時点 $t_1$ から或る短い遅延時間 $T_{N1}$ だけ遅れてオフする。

【0026】次に時点 $t_2$ でラッチ信号 $LT$ が $H$ に戻ると、ラッチ回路出力 $Q$ も $H$ のため、この時点 $t_2$ でNAND回路121の出力は $H$ から $L$ に切換わり、 $PchFET3$ は、時点 $t_2$ から或る短い伝達遅延時間(レベルシフト回路2の遅延及び、 $PchFET3$ のゲート容量充電時間が大半) $T_{P2}$ だけ遅れて、つまり時点 $t_1$ からの遅延時間 $T_{PDL} = T_W + T_{P2}$ であるような時点でオンすることになる。

【0027】従って、 $PchFET3$ のオンのタイミングは、ラッチ信号 $LT$ の $L$ から $H$ への立上がり(ラッチ信号パルスの後端)のタイミング、つまりラッチ信号 $LT$ のパルス幅 $T_W$ で任意に制御でき、従来のように高電圧側出力 $OUT$ を $L$ から $H$ にする時の貫通電流低減のために、わざわざ $PchFET3$ のオンを大きく遅延させる遅延回路12は必要なくなり、遅延回路としては、高電圧側出力 $OUT$ を $H$ から $L$ にする時の貫通電流低減のために、 $NchFET4$ のオンのタイミングを遅らす遅延量の比較的小さい遅延回路13を用いるだけで良くな

る。

【0028】ところで、ラッチ回路11については、上記実施例のように、ラッチ信号 $LT$ の立下がりエッジ(つまりラッチ信号パルスの前端)でデータ信号を保持するものと、ラッチ信号 $LT$ の立上がりエッジ(つまりラッチ信号パルスの後端)で保持するラッチ回路が考えられる。しかし、後者のラッチ回路はラッチ信号 $LT$ のパルス幅の期間にデータ信号 $IN$ が変化するとラッチ出力 $Q$ も変化してしまう。従って、データ信号 $IN$ がクロックで動作するシフトレジスタからの出力のような場合で、ラッチ信号 $LT$ のパルス後端までクロック信号を止めていたくない時、特に今回のようにラッチ信号 $LT$ のパルス幅期間が長い場合は、前者のラッチ回路のようにラッチ信号 $LT$ のパルス前端でデータ信号を保持してしまう回路が良い。

【0029】また、ラッチ信号 $LT$ のパルスを実施例とは逆に $H$ レベルとした場合は、NAND回路121とラッチ信号 $LT$ の間にNOT回路を入れれば良い。容量性負荷駆動回路01の消費電流を削減するだけであれば、上記の実施例のタイミングとは逆に、高電圧側出力 $OUT$ が $H$ から $L$ に反転するタイミングより $L$ から $H$ に反転するタイミングのほうを早める方法も考えられ、これも本発明に含まれる。

【0030】但しこの場合、高電圧側出力 $OUT$ の $H$ の期間に重なりが生じることになるため、特にプラズマディスプレイパネルのようにスキャン側の信号のアクティブタイミングで、データ信号が $H$ のデータになっているビットだけが発光する場合に、この重なりの部分で誤発光する可能性がある。従って上記実施例では、高電圧側出力 $OUT$ が $H$ から $L$ に反転するタイミングより $L$ から $H$ に反転するタイミングのほうを遅くした形で回路を構成している。

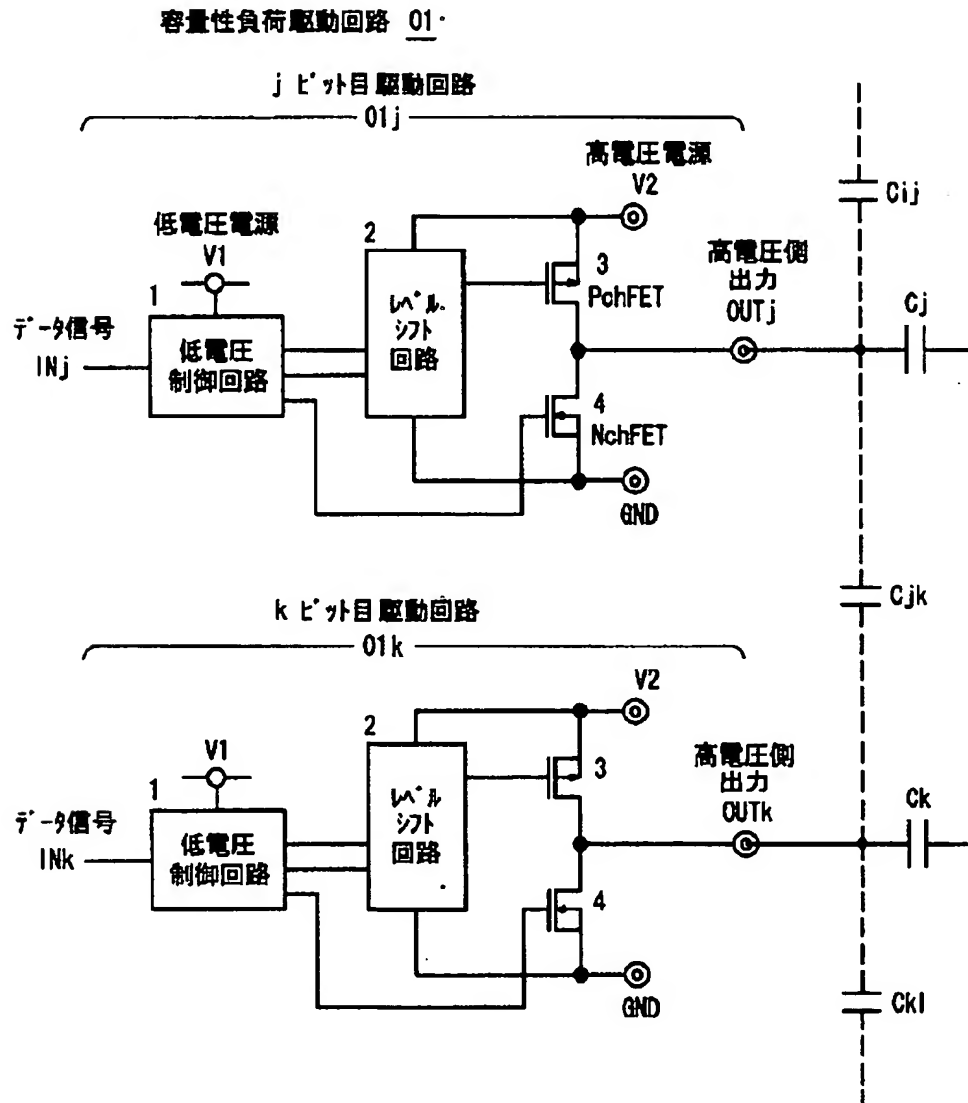
【0031】

【発明の効果】本発明によれば、低電圧の電源で生成された複数ビットのデータ信号を入力し、入力ビット別に設けられたレベルシフト回路等を介し、それぞれ相補接続された出力トランジスタを駆動し、比較的高い電圧の電源を用いたビット別の $H$ 、 $L$ の駆動信号を高電圧側出力 $OUT$ として得てビット別の容量性負荷を駆動する回路において、 $H \rightarrow L$ および $L \rightarrow H$ と互いに逆方向に高電圧側出力 $OUT$ が反転するビット相互間における、高電圧側出力 $OUT$ の電位変化のタイミングの重なりを防ぎ、容量性負荷駆動回路の損失を低減するための大きな遅延時間をラッチ信号の拡大したパルス幅によって得るようにしたので、特に入力信号を追加する必要はなく、単に従来使用してきたラッチ信号のパルス幅で大きな遅延時間を任意に制御できるため、様々な負荷容量にも対応でき、温度特性等も考慮して容量性負荷駆動回路の利用者側で遅延時間を設定することができる。さらに半導体集積回路の回路規模を増大させる必要もなくなる。

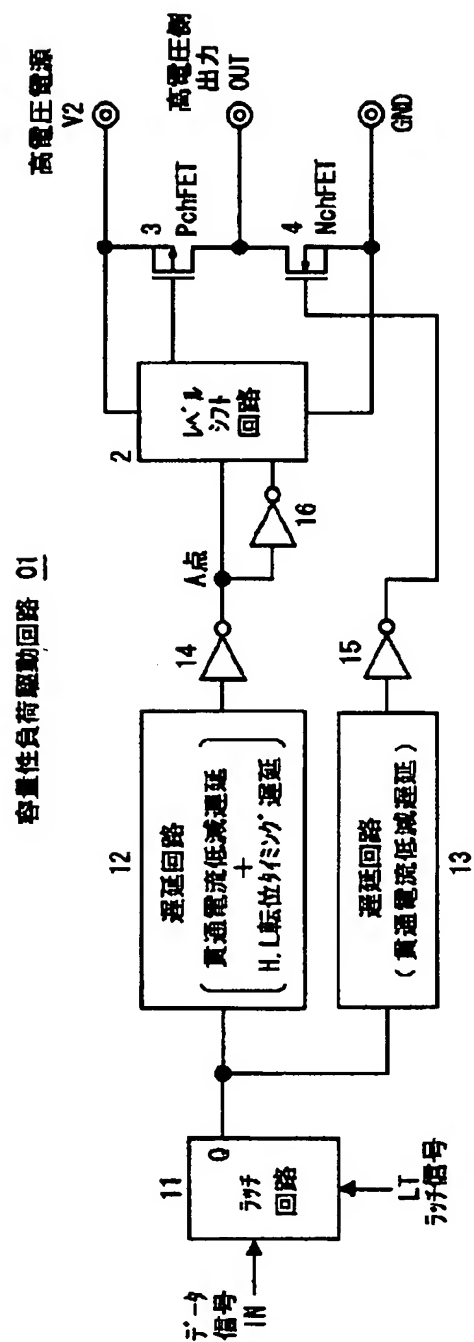
- 【図面の簡単な説明】  
 【図1】本発明の一実施例としての容量性負荷駆動回路の1ビット分の詳細構成図  
 【図2】図1の要部の動作を示すタイミング図  
 【図3】容量性負荷駆動回路の隣接する2ビット分の負荷側を含む概略の構成図  
 【図4】図1に対応する従来回路の構成図  
 【図5】図4の要部の動作を示すタイミング図  
 【符号の説明】  
 01 容量性負荷駆動回路  
 2 レベルシフト回路  
 3 PchFET  
 4 NchFET

- 11 ラッチ回路  
 13 遅延回路  
 14~16 NOT回路  
 121 NAND回路  
 122 NOT回路  
 1N データ信号  
 LT ラッチ信号  
 V1 低電圧電源  
 V2 高電圧電源  
 10 OUT 高電圧側出力  
 GND グランド  
 Tw ラッチ信号のパルス幅

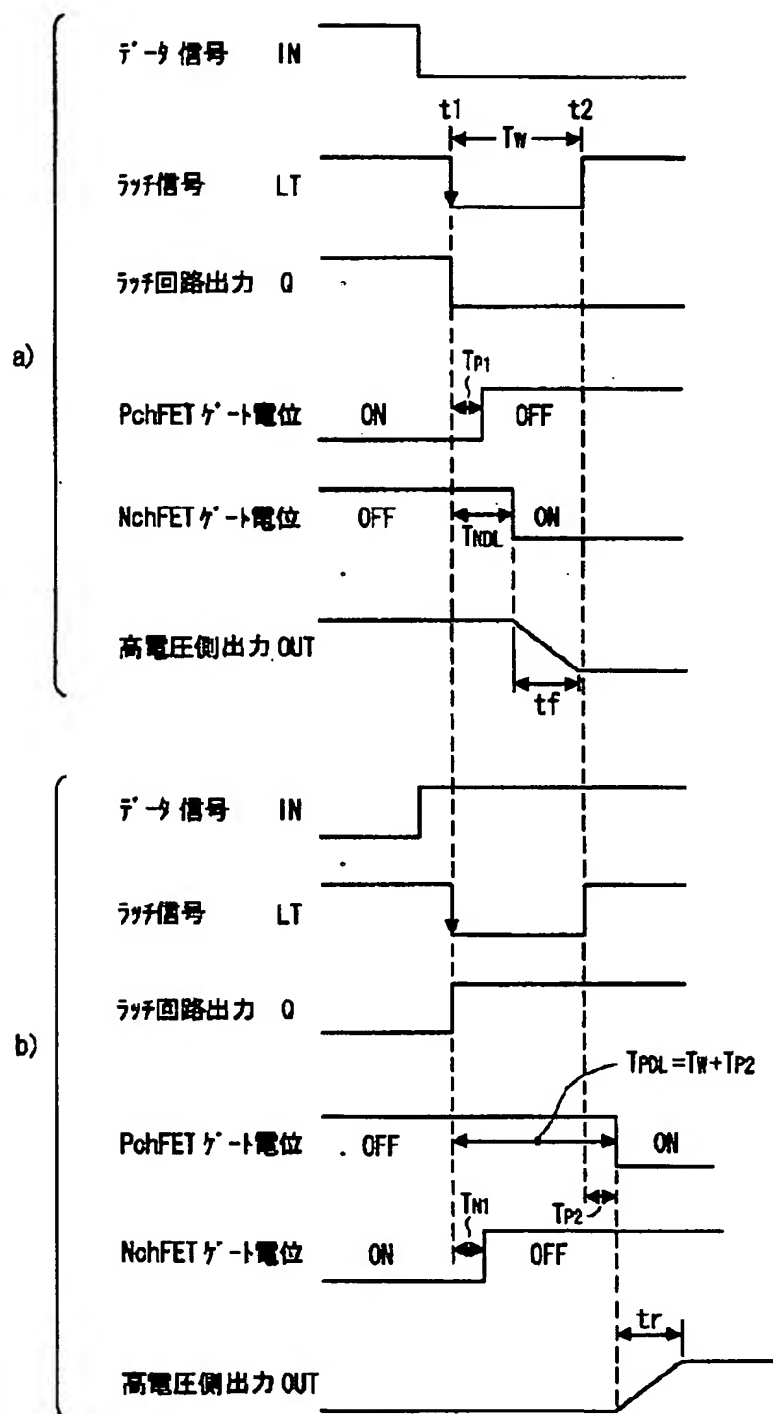
【図3】



【図4】

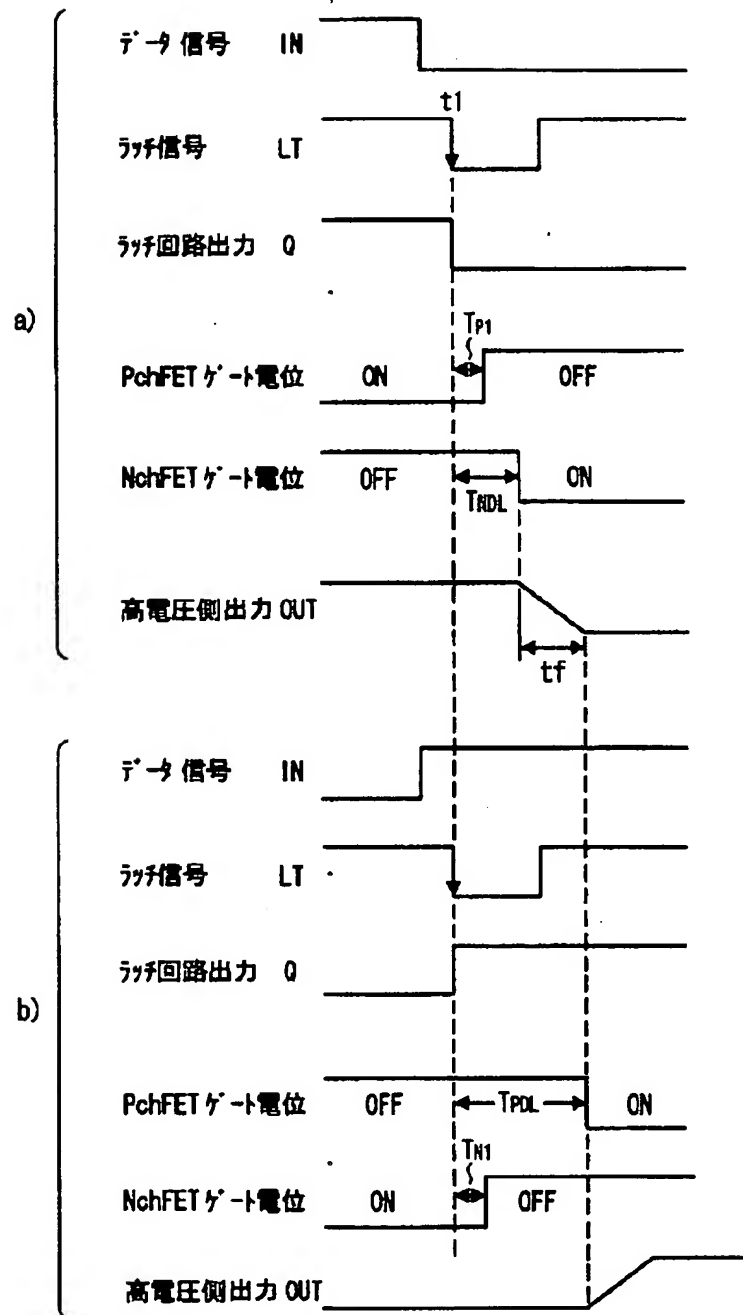


【図2】





【図5】



フロントページの続き

Fターム(参考) 5J055 AX04 AX27 AX48 AX54 AX66  
BX16 CX12 DX12 DX56 DX72  
DX83 EX07 EX21 EY21 EZ07  
EZ20 EZ25 EZ50 FX12 FX17  
FX35 GX01 GX04  
5J056 AA05 BB19 BB38 BB57 CC05  
CC14 CC21 DD12 DD28 FF08  
KK00